

Norma imperativa
(substitueix l'edició 2005)

Edició 2007

Observació 1: el contingut de la NEM 671 és conforme a l'estàndard NMRA S 9.2 (Edició Juliol 2004). Aquesta versió és la referència per les comprovacions de conformitat.

NEM 671 follows the NMRA-Standard S 9.2. This version is the basis for conformance tests.

Observació 2: aquesta norma no assegura una compatibilitat descendent amb els antics descodificadors de 14 passos de velocitat i una funció addicional, així com els antics descodificadors en els que el rellotge intern no seria compatible amb el factor de forma de senyal definit.

1. Objectiu de la norma

Aquesta norma descriu els paquets de dades elementals (paquets de dades bàsics) que s'han d'emetre per una central DCC.

2. Definicions

Un paquet de dades DCC és una successió definida de bits que s'especifiquen com senyal de via a la NEM 670.

Un paquet de dades DCC bàsic es compon d'un número mínim de bits i grups de bits, anomenats en resum paquet de dades.

Un grup de bits està compost per 8 bits i se li anomena octet. Cada bit d'un octet té un valor que es determina en funció de la seva posició en el grup, el primer bit a partir de la esquerra al valor més gran, es diu MSB (most significant bit). Els bits d'un octet s'enumeren d'esquerra a dreta de 7 a 0. El bit de més a la dreta es diu LSB (least significant bit).

3. Format general d'un paquet de dades DCC

La descripció següent dels elements d'un paquet de dades en bits i octets defineix un paquet de dades vàlids i serveix per activar els descodificadors.¹

Les seqüències 4 i 5 poden repetir-se varies vegades.

Els paquets de dades DCC bàsics es componen de les seqüències següents:

1 - **Sincronització:** El preàmbul d'un paquet es compon d'una successió de bits « 1 » per assegurar la sincronització. Un descodificador ha de declarar no vàlid un paquet de dades que conté menys de 10 bits « 1 » i no deu necessitar més de 12 bits « 1 » per funcionar correctament.² Una central de comandament ha de transmetre sempre al menys 14 bits « 1 ».

2 - **Bit Start:** El Bit Start és el primer bit « 0 » que segueix a la seqüència de sincronització. El Bit Start termina la seqüència de sincronització i indica al descodificador, que els bits que li segueixen constitueixen un octet de direcció.

3 - **Octet de direcció:** El primer octet del paquet de dades és normalment un octet de direcció, conté la direcció codificada del descodificador al qual va destinada la informació.³ El primer bit de l'octet de direcció és el bit més significatiu (MSB). Els octets de direccions amb els següents valors: 0000 0000 (=0), 1111 1110 (=254) i 1111 1111 (=255) es reserven per funcions especials i no han de ser transmesos, excepte les funcions especials inherents a la norma o per aplicacions precises aconsellades pel fabricant.

4 - **Bit Start de l'octet de dades:** Aquest bit « 0 » precedeix a l'octet de dades que li segueix.

¹ S'autoritzen els descodificadors que reconeixen altres formats a més de l'estàndard DCC (ver §6.)

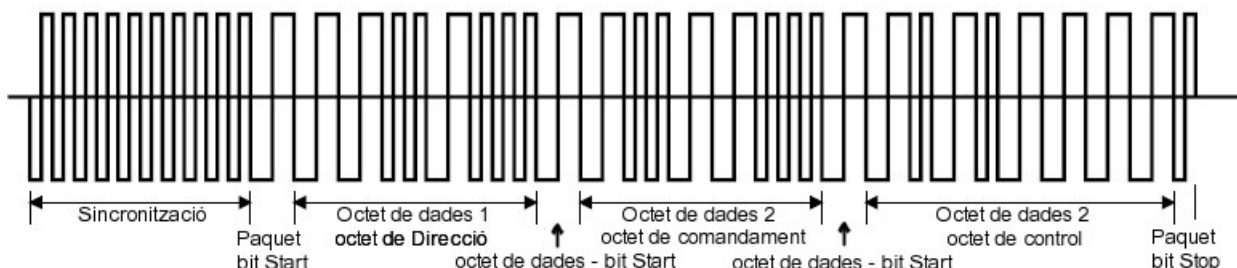
² L'últim bit d'un paquet pot ser pres en compte com un dels bits de sincronització del paquet següent si no hi ha bits entre paquets.

³ El primer octet pot ser igualment utilitzat com octet de comandament en certs casos.

5 – **Octet de dades:** Els 8 bits que formen l'octet de dades s'utilitzen com a direccions, instruccions (ordres d'execució), dades o com octet de control per la detecció d'errors de transmissió. El primer bit de l'octet de dades és el bit més significatiu (MSB).

6 – **Bit Stop:** El bit stop és un bit « 1 » que assenyalava la finalització de la transmissió d'un paquet.⁴

Figura 1 Paquet de dades DCC bàsic, compostat per tres octets de dades (1 octet de direcció, 1 octet de dades, 1 octet de control), amb el codi de direcció 55 pel sentit de marxa "endavant" graduat a 11.



4. Format de paquets de dades DCC bàsics

Aquest estàndard defineix la interoperativitat mínima entre els diferents sistemes DCC. Una central ha de codificar els comandaments de l'usuari en forma de paquets de dades bàsics i un descodificador ha d'interpretar correctament aquests paquets de dades per proporcionar així comandaments elèctrics apropiats al material motor connectat. Els paquets de dades més complexos que suporten diferents tipus de descodificadors, funcions addicionals, direccionament estàs o passos de velocitat més nombrosos no estan descrits en aquesta norma.

4.1 Paquets de dades DCC bàsics per a la regulació de velocitat i sentit de marxa de les locomotores.

Format del paquet de dades DCC bàsic:

111111111111 0 0AAAAAAA 0 01DCSSSS 0 EEEEEEEE 1
 Sincronització Octet de Octet de Octet de
 dades 1 dades 2 dades 3

Octet de dades 1 – Octet de direcció: L'octet de direcció transmet la direcció del receptor previst per rebre les dades.

El bit 7 és un bit "0" i assenyalava que el byte de dades és un octet de direcció.

Els 7 bits (A) que segueixen són portadors de la direcció binària del destinatari.

Important: Un descodificador digital ha d'acceptar tot el rang de direccions possibles excepte si s'especifica clarament una limitació en el direccionament.

Octet de dades 2 – Octet de comandament: L'octet de comandament encamina les informacions de velocitat i sentit de marxa a la locomotora seleccionada.

Els bits 7 i 6 contenen la seqüència 01 que assenyalava l'octet de dades com si fos un octet de comandament.⁵

El bit 5 (D) defineix el sentit de marxa, si el valor és « 1 » la locomotora avança⁶, si el valor és « 0 » la locomotora retrocedeix.

El bit 4 (C) té una funció especial (de comandament) i és el bit menys significatiu (LSB) per la definició del control de velocitat.

Els bits 3 – 0 (SSSS) defineixen amb el bit 4, la velocitat de marxa en codi binari. La taula 1 descriu la relació entre el codi binari i la graduació.

Octet de dades 3 – Octet de comandament: L'octet de control permet al descodificador descobrir els errors de transmissió.

Aquest octet es genera a la central DCC, per addició lògica bit a bit, de l'octet de direcció i de l'octet de comandament. La funció lògica utilitzada és "O – EXCLUSIU (XOR)". El descodificador digital

⁴ Les altres configuracions possibles dels bits 6 i 7 es reserven per altres tipus de comandaments.

⁵ Marxa endavant, significa que la locomotora es desplaça, cabina de conducció 1 cap endavant.

⁶ La configuració d'un descodificador pot ser modificat immediatament després d'un missatge de posada a zero.

compara l'octet de control rebut amb el O – EXCLUSIU dels octets de Direcció i de Control rebuts i ha d'ignorar el paquet de dades si falla la comparació.

Taula 1: Relació entre la codificació dels bits S 3-0, C i la graduació

S ₃ S ₂ S ₁ S ₀ C	graduació	S ₃ S ₂ S ₁ S ₀ C	graduació	S ₃ S ₂ S ₁ S ₀ C	graduació	S ₃ S ₂ S ₁ S ₀ C	graduació
0 0 0 0 0	Stop	0 1 0 0 0	5	1 0 0 0 0	13	1 1 0 0 0	21
0 0 0 0 1	Stop ⁺	0 1 0 0 1	6	1 0 0 0 1	14	1 1 0 0 1	22
0 0 0 1 0	EStop [*]	0 1 0 1 0	7	1 0 0 1 0	15	1 1 0 1 0	23
0 0 0 1 1	EStop ^{**}	0 1 0 1 1	8	1 0 0 1 1	16	1 1 0 1 1	24
0 0 1 0 0	1	0 1 1 0 0	9	1 0 1 0 0	17	1 1 1 0 0	25
0 0 1 0 1	2	0 1 1 0 1	10	1 0 1 0 1	18	1 1 1 0 1	26
0 0 1 1 0	3	0 1 1 1 0	11	1 0 1 1 0	19	1 1 1 1 0	27
0 0 1 1 1	4	0 1 1 1 1	12	1 0 1 1 1	20	1 1 1 1 1	28

• Parada d'emergència (emergency stop), el descodificador ha de parar la locomotora ja el més aviat possible!

+ El bit de direcció (bit 5) pot ser ignorat per les funcions dependents de la direcció (opcional).

4.2 Paquet de dades DCC bàsics per la posada a zero general dels descodificadors

Format de dades DCC bàsics:

111111111111 0 00000000 0 00000000 0 00000000 1
 Sincronització Octet de Octet de Octet de
 dades 1 dades 2 dades 3

El paquet de dades DCC per la posada a zero general dels descodificadors està constituïda per tres octets en els que tots els bits estan a zero. Quan un descodificador rep aquest paquet de dades, ha d'esborrar totes les seves memòries no permanents (dades de velocitat i sentit de marxa compresos) i passar al seu estat normal de posada sota tensió. Si la locomotora està en moviment, el descodificador ha d'aplicar una parada d'emergència.

En els 20 mili segons que segueixen a un paquet de posada a zero general, una central de comandament no ha d'enviar un paquet de dades amb una direcció compresa entre 01100100 (direcció 100) i 01111111 (direcció 127) ambdós incloses, excepte si vol passar al mode « Service ».

4.3 Paquet de dades DCC bàsic buit

Formato de dades DCC bàsics:

111111111111 0 11111111 0 00000000 0 11111111 1
 Sincronització Octet de Octet de Octet de
 dades 1 dades 2 dades 3

El paquet de dades en el qual el primer i tercer octet contenen vuit bits « 1 » i el segon conté vuit bits « 0 » és un paquet de dades buit.

Els descodificadors que reben aquest paquet de dades no han d'iniciar noves accions i s'han de comportar com si haguessin rebut un paquet de dades per un altre descodificador.

4.4 Paquet de dades DCC bàsic – senyal de parada general

Format de dades DCC bàsics:

111111111111 0 00000000 0 01DC000S 0 EEEEEEEE 1
 Sincronització Octet de Octet de Octet de
 dades 1 dades 2 dades 3

El paquet de dades que al primer octet conté 8 bits « 0 », al segon octet conté un ordre de parada específica i que al tercer octet conté un octet de control idèntic al octet 2, es el paquet de dades que assenyala la parada general.

Quan el bit 0 del octet de dades 2 (bit S) conté un « 0 », els descodificadors que controlen una locomotora han de començar el procediment de parada d'aquesta (ralentització després de la parada de la funció de la inèrcia programada al descodificador).

Si el bit S és un « 1 », els descodificadors han de parar immediatament les locomotores tallant el corrent del motor. Freqüència de transmissió dels paquets de dades DCC bàsica.

4.5 Espaiament de paquets de dades

Els paquets de dades emesos cap els descodificadors s'han de repetir tant ràpid com sigui possible, ja que es pot perdre un paquet per culpa de perturbacions degudes a la mala conductivitat elèctrica entre els carrils i les rodes o els pantògrafs. La transmissió del senyal de via es pot interrompre entre el final de paquet i els bits de sincronització del següent paquet amb la finalitat de permetre l'emissió d'altre tipus de senyal de control (bidireccional). Un descodificador ha de reaccionar als paquets de dades que se li enviïn quan l'interval entre l'últim bit del primer paquet i el primer bit del segon paquet és com a mínim de 5 mili segons.⁷

Interval mínim entre dos paquets de dades: $t_D > 5 \text{ ms}$ Interval de temps

Si un descodificador rep una seqüència de bits amb un «bit start» que falta o que no és vàlid o un «bit stop» que falta o no és vàlid o un «octet de control» no conforme, ha de reconèixer la «seqüència de sincronització» vàlida següent com l'inici d'un nou paquet.

Només es pot transmetre a la via un altre tipus de senyal de comandament si està entre el bit de parada d'un paquet i l'inici de la seqüència de sincronització del paquet següent.

4.6 Freqüència d'emissió de paquets de dades

Ha de ser possible configurar una central de control DCC amb la finalitat que emeti un paquet de dades al menys cada 30 mili segons, mesurats entre els bits d'Inici (Start) dels paquets.

Temps de repetició entre els paquets de dades DCC: $t_R \leq 30 \text{ ms}$. temps de repetició t

5. Comportament dels descodificadors en la conversió automàtica de diferents estàndards.

Els fabricants de descodificadors s'han animat a proposar una conversió automàtica entre diferents tipus de senyals de via en formats de control a més del senyal DCC, amb la condició que el pas a aquest altres modes de funcionament pugui ser inhibir.

Quan la funció « conversió automàtica » està activada, els descodificadors han de quedar en mode DCC mentre que l'interval de temps entre els bits d'inici « start » dels dos paquets consecutius sigui igual o inferior a 30 mili segons. Si la funció « conversió automàtica » està desactivada, els descodificadors han de quedar-se en mode DCC, sigui qual sigui l'interval de temps entre els bits d'inici « start » dels dos paquets consecutius.⁸

Temps d'espera abans del pas d'un descodificador digital a un mode no DCC:

$t_w \geq 30 \text{ ms}$ temps de latència

⁷ La configuració d'un descodificador es pot prendre per no emetre dos paquets de dades espaiats en menys de 5 mili segons en una mateixa direcció compresa entre 112 (binari 0111 10000) i (011 11111). Els descodificadors més vells podrien interpretar paquets de dades en mode de servei.

⁸ Certs descodificadors DCC més vells han de rebre un paquet de dades DCC vàlid al menys en 30 mili segons per impedir una commutació en mode analògic. Un pas de repetició més llarg de 30 mili segons pot portar a una degradació de les característiques dels descodificadors.